



## シラバス参照

講義名	デジタル論理と計算機構成
基準単位数	2
校地	石川
所属	情報科学系科目（石川）
科目コード	I115
授業実施言語	日本語
開講時期	1の1期

## 担当教員

氏名

© 田中 清史

曜日/時限	1の1期（月・1）／1の1期（水・2）
達成目標	基本的な論理回路、演算器、データバス、および制御論理を理解することにより、計算機を単なるブラックボックスとしてではなく、その動作原理を理解し、簡単な計算機を自分で設計できるようになる。
概要	2進符号、ブール代数、組合せ回路、順序回路、制御論理、ハードウェアとソフトウェアとのインターフェース、コンピュータの構成、および入出力について学ぶ。
教科書	「コンピュータの構成と設計（ハードウェアとソフトウェアのインターフェース）（第6版）上巻」、David A. Patterson、John L. Hennessy著、成田光彰 訳、日経BP社、2021年、ISBN978-4-296-07009-1。
参考書	「デジタル回路設計とコンピュータアーキテクチャ（第2版）」、David Money Harris、Sarah L. Harris著、天野英晴、中條拓伯、鈴木貢、永松礼夫 訳、翔泳社、2017年、ISBN978-4-7981-4752-9。
関連項目	なし
履修条件	なし
講義計画	<ol style="list-style-type: none"> <li>情報の表現とブール代数（2進符号、数値の表現、ブール代数と論理ゲート）</li> <li>論理の単純化（カルノー図、QM法）</li> <li>組合せ回路1（マルチプレクサ、デコーダ）</li> <li>組合せ回路2（加算器、乗算器）</li> <li>順序回路1（状態遷移図、フリップフロップ）</li> <li>順序回路2（カウンタ、シフトレジスタ、メモリ）</li> <li>前半のまとめと演習</li> <li>プロセッサの構成1（命令セットアーキテクチャ）</li> <li>プロセッサの構成2（ハードウェアとソフトウェアのインターフェース）</li> <li>プロセッサの構成3（命令メモリ、プログラムカウンタ、レジスタファイル、ALU、データメモリ）</li> <li>プロセッサの構成4（データバス）</li> <li>プロセッサの構成5（制御論理の設計）</li> <li>入出力（バス、入出力インターフェース、割込み、DMA）</li> <li>後半のまとめと演習</li> </ol>
準備学修等の具体的な指示	<p>本学では、15時間の授業を含む45時間の学修をもって1単位とすることを踏まえて、準備学修に取り組むこと。</p> <p>学修予定内容を予習しておくこと。演習問題レポートで講義進度に応じた論理回路の設計課題を出す。それを自らの手で設計し、プロセッサの仕組みと動作を理解することが重要である。</p>
評価の観点	論理回路及びコンピュータの動作原理に関する理解度による。
評価方法	演習問題レポート、中間試験、期末試験による。
評価基準	演習問題レポートの理解度（20%）、中間試験（40%）、期末試験（40%）。
獲得可能な能力・性質	先端科学技術分野の専門家としての、 <社会的能力> 幅広い視野、論理的思考力

	<創出力> 専門的知識とスキルの探求力、発想力 <実践力・行動力> 情報収集力、模索的推進力、課題定義力
<a href="#">講義アーカイブ</a>	<収録内容> 講義のみ収録 <配信方法> 一般配信（学内ネットワークでいつでも視聴可能）

[ウインドウを閉じる](#)