

田中 清史 様

ウインドウを閉じる

シラバス参照

講義名	計算機アーキテクチャ特論
基準単位数	2
校地	石川
科目群	情報科学系科目（石川）
科目コード	I218
授業実施言語	日本語
開講時期	1の2期

担当教員

氏名

◎ 田中 清史

曜日/時限	1の2期（月・2）／1の2期（金・1）
達成目標	現在の計算機の高速化の基礎となるパイプライン処理、キャッシュ、記憶階層技術について学ぶ。さらに、先進的なスーパースカラプロセッサやマルチプロセッサの構成方法に関する基本概念の修得を目的とする。計算機アーキテクチャについて幅広く理解することにより、計算機アーキテクチャを研究対象として取扱う能力・研究姿勢を獲得できる。
概要	計算機の高速化の基となるパイプライン処理技術、キャッシュ、メモリ階層技術、分岐予測、スーパースカラプロセッサの原理、マルチプロセッサの構成方法等
教科書	「コンピュータの構成と設計（ハードウェアとソフトウェアのインタフェース）（第6版）上下巻」、David A. Patterson、John L. Hennessy 著、成田光彰 訳、日経BP社、2021
参考書	指定しない
関連項目	I115 デジタル論理と計算機構成
履修条件	計算機の構成に関する基礎知識を有するか、I115（デジタル論理と計算機構成）相当の知識を持っていることが望ましい。
講義計画	1. 性能とコスト（性能指標、コスト要因） 2. 基本命令実行方式1（命令セットアーキテクチャ） 3. 基本命令実行方式2（シングルサイクル実行） 4. パイプライン技術1（パイプライン処理の概要） 5. パイプライン技術2（パイプラインの制御） 6. パイプライン技術3（パイプラインハザード、分岐予測） 7. パイプライン技術4（スーパースカラと動的パイプライン） 8. 前半のまとめと演習 9. メモリシステムの技術1（キャッシュ） 10. メモリシステムの技術2（キャッシュの性能解析／評価） 11. メモリシステムの技術3（仮想記憶） 12. メモリシステムの技術4（記憶階層化） 13. マルチコアと並列プロセッサ 14. 後半のまとめと演習
準備学修等の具体的な指示	本学では、15時間の授業を含む45時間の学修をもって1単位とすることを踏まえて、準備学修に取り組むこと。 次回の授業範囲を予習し、専門用語の意味等を理解しておくこと。 本学では、15時間の授業を含む45時間の学修をもって1単位とすることを踏まえて、準備学修に取り組むこと。
評価の観点	計算機の性能、コスト、及び高速化技術に関する理解度による。
評価方法	レポート、中間試験、期末試験による。

評価基準	演習問題レポートの理解度（20％）、中間試験（40％）、期末試験（40％）
獲得可能な能力・性質	先端科学技術分野の専門家としての、 ＜社会的能力＞ 幅広い視野、論理的思考力 ＜創出力＞ 専門的知識とスキルの探求力、発想力 ＜実践力・行動力＞ 情報収集力、模索的推進力、課題定義力
講義アーカイブ	＜収録内容＞講義のみ収録 ＜配信方法＞一般配信（学内ネットワークでいつでも視聴可能） ＜注意事項＞授業中に演習を行うので、指定がある場合を除き原則として同時対面講義の参加を前提とする。（アーカイブのみでは履修不可）

[ウインドウを閉じる](#)